

Predrag Petković  
Elektronski Fakultet Niš  
Beogradska 14

Zoran Stojanović  
Ei JUGORENTGEN Niš  
Bul. V. Vlahovića bb

PRIMENA ANALOGNIH MAKROMODELA LOGIČKIH KOLA U  
MODELIRANJU D/A SPREGE KOD HIBRIDNOG SIMULATORA

MODELING OF D/A INTERFACE IN A MIXED MODE SIMULATOR  
WITH AN ANALOGUE MACROMODEL OF LOGIC CIRCUITS

**SADRŽAJ:** Opisan je novi način modeliranja sprege između digitalnog i analognog dela mešovitog D/A kola u realizaciji hibridnog simulatora. Predloženo je uvođenje analognog makromodela logičkih kola pomoću kojih se dozvoljava analogna analiza digitalnih kola koja se nalaze na mestu sprege sa analognim delom kola. Na taj način povećana je tačnost analize celokupnog analognog dela kola koje se pobudjuje iz digitalne pod mreže.

**ABSTRACT:** A new model of D/A interface in a mixed-mode simulator is described. An analogue macromodel of the logic circuit placed on D/A boundary is used for digital-to-analogue node modeling. Better accuracy of the digital circuit driven analogue part of the circuit analysis is obtained.

### 1. UVOD

U savremenim sistemima sve češće se javlja potreba za kombinovanjem analognih i digitalnih elektronskih kola, nezavisno od toga da li se oni realizuju na bazi ASIC ili na bazi štampanih ploča. Prema nekim procenama [1] uskoro će 40% svih ASIC kola manipulirati istovremeno sa analognim i digitalnim signalima. Projektovanje ovih kola nameće potrebu za korišćenjem odgovarajućih softverskih alata. U periodu u kome je projektovanje analognih i digitalnih kola bilo striktno odvojeno, razvijen je niz specifičnih softvera za logičku simulaciju digitalnih kola i softvera za analizu analognih kola. S obzirom da se pristupi projektovanju i celokupna filozofija rada kola u digitalnom i analognom elektroničarskom svetu značajno razlikuju, i softveri zaduženi za simulaciju, odnosno analizu ovih kola zasnovani su na značajno različitim principima.

Logički simulatori daju tačan uvid u sekvencu logičkih stanja i njihov raspored u vremenu za svaki čvor u kolu, što je sasvim dovoljno za verifikaciju projekta digitalnog kola.

Programi za analizu analognih kola bave se rafiniranim problemom rešavanja složenih nelinearnih diferencijalnih jednačina. Odziv se dobija u vidu kontinualnog talasnog oblika struja i/ili napona u kolu.

Projektovanje kola u kojima se javljaju mešovite analogne i digitalne funkcije zahteva specifični alat pomoću koga se može izvršiti verifikacija projekta. Naravno, digitalna kola mogu da se analiziraju pomoću programa za analizu analognih kola. Međutim, time se znatno gubi na brzini analize. Sa druge strane, analiza analognih kola može da se pojednostavi diskretizovanjem analognog signala na konačan broj podnivoa koji se tretiraju kao stanja u logičkom simulatoru (ELOG simulacija) [2, 3]. Pored toga, kontinualni talasni oblik može da se predstavi linearnim segmentima definisanim početnom vrednošću napona i nagibom. Svaki takav segment proglašava se za stanje, a kao promena stanja registruje se prelazak sa jednog segmenta na drugi [4]. Oba ova načina diskretizacije analognog signala zaista vode približavanju analize logičkoj simulaciji, ali uz veliko degradiranje tačnosti talasnih oblika signala. Zadatak hibridnih simulatora kojima se obavlja verifikacija projekta mešovitih, analognodigitalnih kola (Mixed-mode Simulatori) jeste da zadrže preciznost analize analognog dela kola i efikasnost simulacije digitalnog. U nedostatku nekog revolucionarnog, opšteg algoritma, sposobnog da udovolji oba postavljena zahteva, hibridni simulatori zadržavaju klasične algoritme za analizu analognog dela kola, odnosno za simulaciju digitalnog dela kola. Osnovni problem nastaje u sprežanju rezultata dobijenih analizom i rezultata simulacije.

U opštem slučaju, logički simulatori detektuju talasne oblike napona u kolu kao niski naponski nivo 0 - logička nula, visoki naponski nivo 1 - logička jedinica i neodređeni naponski nivo X - neodređeno logičko stanje. Promena iz jednog stanja u drugo naziva se događaj. Događaj može da se odigra samo u određenim vremenskim trenucima koji predstavljaju celobrojni umnožak minimalne jedinice za merenje vremena koja se naziva korak. Primena principa narednog događaja [5] obezbeđuje registrovanje samo onih trenutaka u kojima postoji događaj. Dakle, diskretizacija talasnog oblika signala izvršena je kako po vrednosti signala, tako i po vremenskoj osi.

Da bi se uskladio rad logičkog simulatora sa programom za analizu kola treba uskladiti diskretizovane informacije o obliku signala iz simulatora sa analognim koje koristi program za analizu kola.

Princip rada hibridnog simulatora nalaze da se složena mešovita mreža posmatra kao da je podeljena na digitalne i analogne podmreže koje se obraduju nezavisno. Sa stanovišta celog kola ne sme da se primeti električna razdvojenost delova kola. To znači da na mestima razgraničenja treba ugraditi odgovarajuće završne impedanse, odnosno pobudne generatore.

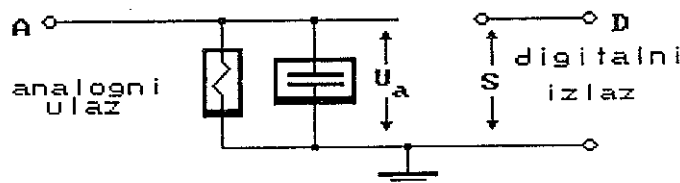
Način sprege između dva tipa signala zavisi od električne veze između digitalne i analogne podmreže u čvorovima razgraničenja. Tip sprege zavisi od smera protoka signala u čvoru. Uobičajeno je da se sprežni čvor razloži na analogni i digitalni čvor. Ukoliko signal iz analogne podmreže pobudjuje digitalnu, kaže se da se u analognom delu sprežnog čvora generiše signal koji pobudjuje digitalni deo čvora. U takvom čvoru treba realizovati A/D

konverziju signala. Sprežni čvorovi ovog tipa nazivaju se A/D čvorovi. Čvorovi u kojima signal generisan u digitalnoj podmreži pobudjuje analognu, nazivaju se D/A čvorovi. Konverzija signala u A/D čvoru svodi se na ekstrakciju digitalnog signala iz analognog, dok je u D/A čvoru potrebno da se iz digitalnog signala generiše analogni. Naravno, mnogo je lakše iz veće količine informacija izdvojiti manju, nego iz siromašne informacije generisati bogatiju, što je slučaj sa modeliranjem D/A čvora.

U drugoj glavi ovog rada biće opisan postupak modeliranja A/D čvora, dok će u trećoj glavi biti predloženo jedno novo rešenje za modeliranje D/A čvora.

## 2. MODEL A/D ČVORA

Modeliranje A/D čvora ima zadatak da detaljnu informaciju o talasnom obliku napona u analognom delu čvora konvertuje u skup logičkih stanja koje prepoznaje logički simulator. Pri tome, električno gledano, analogna podmreža ne sme da oseti da je digitalna podmreža električno izdvojena iz kola, jer bi se poremetio bilans struja u čvoru. Zato je neophodno da se model analognog dela čvora optereti impedansom koja odgovara ulaznoj impedansi digitalnog dela kola u čvoru koji se modelira. Kod MOS kola ovu impedansu čini uglavnom reaktansa ulaznih kapacitivnosti koje se dovoljno dobro modeliraju linearnim kondenzatorima. Kod bipolarnih kola problem je nešto složeniji. Najjednostavnije je da se ulazna impedansa predstavi paralelnom vezom otpornika i kondenzatora. Naravno, tačnija analiza zahteva složenije modele ulazne impedanse. Jedan od načina da se ulazna impedansa digitalnog bipolarnog kola prikaže u modelu A/D čvora jeste vezivanje celog ulaznog stepena digitalnog kola paralelno analognom delu A/D čvora [6]. Problem završetka analognog dela kola može se generalno rešiti paralelnim vezivanjem nelinearne otpornosti i nelinearne kapacitivnosti čije su vrednosti kontrolisane naponom na analognom delu A/D čvora, kao što je prikazano na slici 1.



Slika 1. Električna šema modela A/D čvora

Digitalni deo A/D čvora mora da konvertuje analogni napon  $U_A$  u logičke nivoe  $S$ .

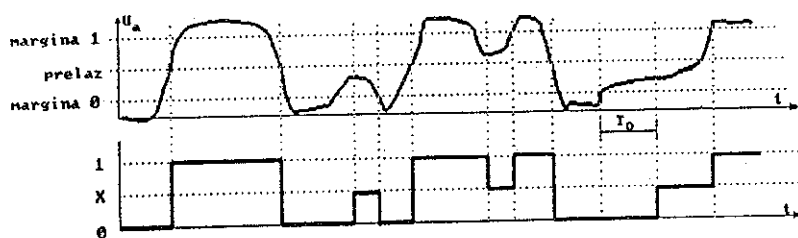
Diskretizacija analognog signala obavlja se relativno lako. Najpre se odrede nivou margina logičke jedinice  $M_1 U_{DD}$  i logičke nule  $M_0 U_{DD}$ , gde je  $1 > M_1 > M_0 > 0$ . Logičko stanje na izlazu definiše se po sledećim kriterijumima [7]:

$U_A > M_1 U_{DD} \Rightarrow 1$  - visoki naponski nivo

$U_A < M_0 U_{DD} \Rightarrow 0$  - niski naponski nivo

$M_0 U_{DD} < U_A < M_1 U_{DD} \Rightarrow X$  - neodređeni naponski nivo

što predstavlja modifikaciju pragovskih funkcija definisanih u [8]. Statički posmatrano, ovakvo preslikavanje je korektno. Treba, međutim, imati u vidu da se analiza u analognom i digitalnom delu kola ne obavlja sa istim korakom. Redovno preslikavanje analognog signala u digitalni, posle svake sračunate tačke talasnog oblika napona je nepotrebno sa stanovišta logičkog simulatora. Logičkom simulatoru treba nagovestiti promenu stanja. Dozvoljenu promenu stanja predstavlja prelaz sa 0 na 1 i obrnuto. U vreme dozvoljene promene stanja ne može se reći da je stanje neodređeno, jednostavno zato što je intencija promene stanja poznata. Pravo neodređeno stanje može se definisati u sledećim slučajevima. Prvo, stanje u kolu je neodređeno kada u vreme promene stanja postoji promena znaka nagiba talasnog oblika napona. Drugi slučaj za koji se može tvrditi da predstavlja neodređeno stanje nastaje ukoliko do promene stanja ne dodje u okviru očekivanog vremenskog intervala  $T_0$  koji zavisi od tehnoloških parametara. Ovakva definicija neodređenog stanja data je u [9] i ilustroivana na Slici 2. Primećuje se da je ovde uveden još jedan nivo, nazvan 'prag', pri kome nastaje prelaz iz jednog stanja u drugo, tako da je prethodna definicija promene stanja nešto izmenjena.



Slika 2. Konverzija analognog signala u digitalni

Promene stanja, dobijene analizom analognog signala upisuju se u tabele logičkog simulatora u prvim narednim diskretnim vremenskim trenucima koje diktira korak simulacije digitalne pod mreže.

Najzad, da bi se upotpunio model A/D čvora, ostaje da se utvrdi stanje visoke impedanse generisane u analognoj pod mreži, mada ovo stanje nije karakteristično za analogna kola. U čvorovima u kojima se u fazi predprocesiranja utvrdi mogućnost takve pojave, treba pratiti vrednosti odgovarajućih elemenata u otpornom delu matrice sistema jednačina kojom se opisuje ponašanje analognog dela kola. Ukoliko je doprinos svih nelinearnih elemenata vezanih za taj čvor manji od zadatog broja  $g_{min}$ , smatra se da je nastalo stanje visoke impedanse koje se u logičkom simulatoru obično označava sa Z.

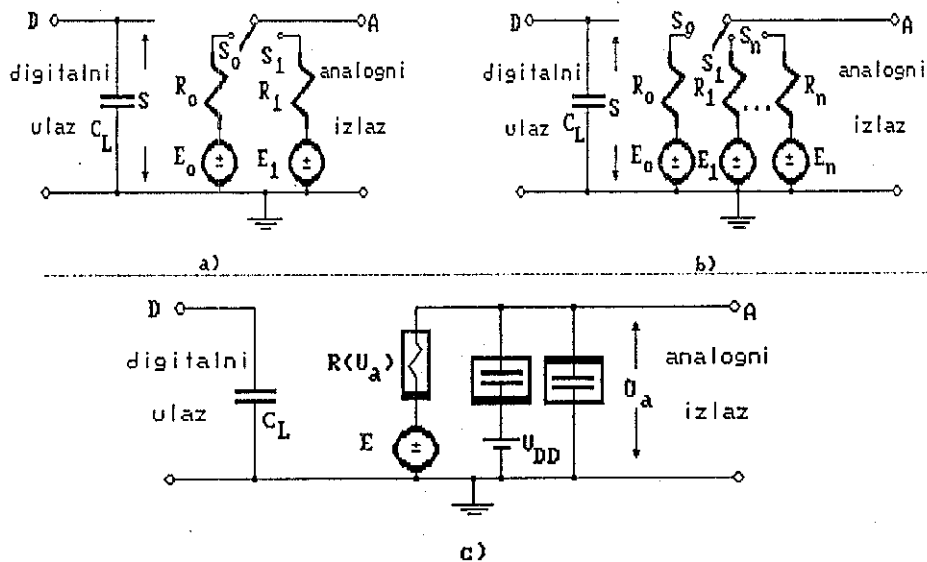
### 3. MODEL D/A ČVORA

Modeliranje D/A čvora predstavlja mnogo složeniji problem od prethodnog, s obzirom da iz skupa stanja koje generiše logički simulator treba generisati talasni oblik napona kojim se pobudjuje analogni deo kola.

Treba napomenuti da je pobuda analogne pod mreže dozvoljena samo signalima čija je vrednost, odnosno stanje, definisano. Ukoliko se u digitalnom delu D/A čvora detektuje neodređeno stanje, nema smisla pobudjivati analogno kolo. Najbolje je prekinuti simulaciju uz arhiviranje svih, do tada dobijenih, rezultata.

Dozvoljena stanja u D/A čvoru su 0,1 i Z. Svi prelazi između ovih stanja su dozvoljeni.

Analogni deo D/A čvora najčešće se predstavlja rednom vezom generatora konstantne vrednosti i linearnog otpornika, kao što pokazuje Slika 3.a [10].



Slika 3. a) Standardni način modeliranja D/A čvora

b) Model D/A čvora kod sprege sa ELOGIC simulatorom sa više stanja

c) Primena analognog makromodela digitalne pod mreže za modeliranje D/A čvora

Nešto rafiniraniji model uticaja izlaznog digitalnog kola na analogno, prikazan je na slici 3.b [2].

Oba modela koriste isti princip koji će biti objašnjen na primeru jednostavnog simulatora sa dva stanja sa Slike 3.a.

Generatori  $E_0$  i  $E_1$  imaju vrednosti napona koje odgovaraju niskom i visokom naponskom nivou, respektivno. Vrednosti otpornika  $R_0$  i  $R_1$  odgovaraju izlaznim otpornostima izlaznog stepena digitalne podmreže kada se ono nalazi u stanju logičke nule i jedinice, respektivno.

Za svaku registrovanu promenu stanja od 0 na 1 na izlazu digitalne podmreže, vrši se prebacivanje prekidača iz položaja  $S_0$  u položaj  $S_1$ . Napon u analognom čvoru, pri tome, od vrednosti  $E_0$  dostiže vrednost  $E_1$  brzinom koju diktira vremenska konstanta sačinjena od ulazne impedanse analogne podmreže i otpornika  $R_1$ . Pri promeni stanja na izlazu digitalnog čvora od 1 na 0, prekidač prelazi iz položaja  $S_1$  u  $S_0$ . Napon na analognom čvoru smanjuje se od vrednosti  $E_1$  na  $E_0$  brzinom određenom vremenskom konstantom koju čine ulazna impedansa analogne podmreže i otpornik  $R_0$ .

Kod ELogic simulatora [3], talasni oblik napona analognog signala diskretizovan je na više logičkih nivoa. Da bi se ostvarila sprega analognog i ELogic simulatora, analogni deo D/A čvora modelira se sa onolikim brojem generatora i otpornika, na koliko podnivoa je izvršena diskretizacija [2].

Ovakav način modeliranja tačniji je od prethodnog, ali je uslovljen primenom ELogic algoritma za logičku simulaciju digitalne podmreže.

Pored navedenih načina, umesto dva naponska generatora koristi se jedan generator čija vrednost se linearno menja od  $E_0$  do  $E_1$  i obrnuto, shodno promeni stanja u digitalnom čvoru.

Tačnost preslikavanja digitalnog signala u analogni diktira tačnost analize u celokupnoj analognoj podmreži. Ova činjenica dobro je poznata svima onima koji su se bavili analizom analognih kola, jer su imali prilike da sagledaju uticaj početnih uslova na rezultate analize. Zbog toga je intencija autora ovog rada bila da se razmotre mogućnosti i daju rešenja za poboljšanje tačnosti preslikavanja digitalnog signala u analogni.

Topološki gledano, rešenje koje se predlaže u ovom radu malo se razlikuje od već opisanih. Međutim, postoje suštinske razlike koje vode znatnom poboljšanju tačnosti uz neznatan uticaj na brzinu analize.

Analogni deo D/A čvora može veoma precizno da oponaša rad digitalnog pobudnog kola, ukoliko se ono predstavi analognim makromodelom [11] kao što pokazuje Slika 3.c. Šta se time dobija?

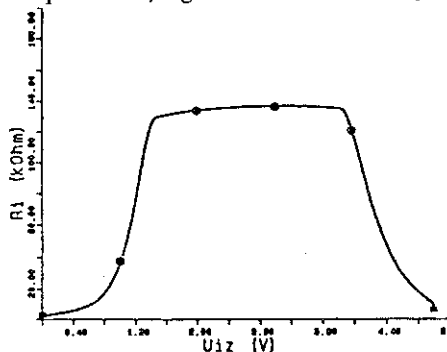
Najpre, u predloženom analognom makromodelu veoma precizno su modelirani prenosna karakteristika, kašnjenje, izlazna otpornost i kapacitivnost digitalnih modula. Poznato je da parametri na izlazu logičkih modula kao što su prenosna karakteristika izlazna otpornost i kašnjenje zavise od pobudjenog ulaza. Sem kašnjenja, svi ostali parametri u do sada opisanim modelima nisu ovu činjenicu uzimali u obzir. Uvodjenjem analognog makromodela celog digitalnog modula čiji je izlazni čvor deklarisan kao čvor D/A tipa, sve specifičnosti talasnog oblika izlaznog signala onog dela digitalne podmreže koji je u neposrednom dodiru sa analognom podmrežom, uzete su u obzir. Na ovaj način ublažava se grubi prelaz iz digitalnog nivoa apstrakcije u analogni, čime se dobija na tačnosti analize analogne podmreže.

Da bi se uporedio način modeliranja izlazne otpornosti u sva tri modela sa Slike 3., na Slici 4. prikazana je jedna od zavisnosti izlazne otpornosti u funkciji promene izlaznog

napona kakva se sreće kod logičkih ćelija. Vrednosti izlaznih otpornosti sadržane u modelu sa Slike 3.a. prikazane su na Slici 4. kvadratima, dok su diskretne vrednosti otpornosti iz modela sa Slike 3.b. prikazane kružićima. U makromodelu čija se primena predlaže u ovom radu, zavisnost izlazne otpornosti od napona opisana je neprekidnom diferencijabilnom funkcijom [11], a na Slici 4 je prikazana kontinualnom linijom. Očigledno je da će uticaj izlazne otpornosti pobudnog Tevenenovog generatora, kojim se modelira uticaj digitalnog na analogni deo D/A čvora biti mnogo tačnije modeliran.

Promena napona pobudnog generatora u makromodelu, koja odgovara promeni stanja u digitalnom čvoru, može se predstaviti linearnom ili nelinearnom funkcijom čiji nagib zadaje projektant ili se izračunava zavisno od opterećenja [12].

Drugi, precizniji način za uspostavljanje sprege između digitalne i analogne podmreže jeste da se D/A čvor premesti za jedan nivo unazad, tako što bi se logički element sa D/A granice zamenio potpunim analognim makromodelom. Uvodi se pojam *dialog* (digitalno-analogne) podmreže koju čine elementi digitalne podmreže zamenjeni analognim makromodelom, tako da se analiziraju kao deo analogne podmreže. Time se ublažavaju problemi koji nastaju u D/A transferu podataka. Jedan od problema ovog tipa javlja se u D/A čvoru u kome postoji veliki uticaj ulazne impedanse analognog dela, a istovremeno se u njemu pobudjuju i kola iz digitalne podmreže. Činjenica je da na ulazu *dialog* podmreže, naročito kod CMOS kola, ovakav uticaj ne postoji, jer je on okružen digitalnim kolima. Na izlazu ovakve podmreže, digitalni deo kola treba, jednostavno, pobuditi digital-



nim signalom koji bi se dobio na izlazu A/D modela. Na taj način izvršila bi se D/A pa A/D konverzija signala.

Slika 4. Modeliranje izlazne otpornosti digitalne podmreže u D/A čvoru

#### 4. ZAKLJUČAK

U radu je predložen novi model D/A čvora u hibridnim (Mixed-mode) simulatorima. Ovaj model bazira na primeni analognih makromodela digitalnih kola koja pobudjuju analognu podmrežu u složenoj, mešovitoj mreži. Evidentno je da će uvođenje makromodela usporiti efekte logičkog simulatora. Međutim, treba imati u vidu da ukupno

vreme simulacije diktira rad programa za analizu analogne pod mreže, na koje primena makromodela tek neznatno utiče. Ako se ima u vidu da je broj D/A čvorova mnogo manji od ukupnog broja čvorova, kako u analognoj, tako i u digitalnoj pod mreži, može se zaključiti da će uvođenje složenijih modela D/A čvorova imati minorni uticaj na vreme simulacije celog kola. Istovremeno se značajno povećava tačnost analize analognog dela kola.

## 5. LITERATURA

- [1] Milne, B., "Behavioral Models Refine Mixed-Signal IC Design", Electronic Design, Vol. 37, No. 8, April 13, 1989, pp.69 - 72.
  - [2] Acuna, E.L., Dervenis, J.P., Pagoues, A.J., Yang, F.L., Saleh, R.A., "Simulation Techniques for Mixed Analog/Digital Circuits", IEEE Journal of Solid State Circuits, Vol.25, No.2, April 1990., pp. 353 - 362.
  - [3] Kim, Y.H., Hwang, S.H., Newton, R.A., "Electrical Logic Simulation and its Applications", IEEE trans on CAD, Vol. 8, No. 1, January 1989, pp. 8 - 22.
  - [4] Thelen, D., MacDonald, J., "Simulating Mixed Analog-Digital Circuits on a Digital Simulator", Proc. Int. Conf. CAD, ICCAD'88, November 1988.,pp. 254 - 257.
  - [5] Stojanović, Z.V., "LOST - logički simulator", Magistarski rad, Univerzitet u Nišu, Elektronski fakultet, Niš, 1989.
  - [6] Corman, T., Wimbrow, M., "Coupling a Digital Logic Simulator and Analog Circuit Simulator", VLSI System Design, February 1988, pp. 40 - 47.
  - [7] Zwolinski, M., Awan, M., Nichols, K.G., "The HOMICIDES, Mixed-Mode Circuit Simulator", Silicon design, November 1-2, 1989.
  - [8] DeMan, H.J., Arnout, G., "The use of Threshold Functions and Boolean Controlled Network Elements for Macromodeling of LSI Circuits", Proc. IEEE Int. Symp. on CAS, ISCAS'78, New York, N.Y., USA, May 17-19 1978., pp. 522 - 526.
  - [9] Agrawal, V.D., Bose, A.K., Kozak, P., Nham, H.N., Pacas-Skewes, E., "A Mixed Mode Simulator", Proc. of 17th Design Automation Conference, Minneapolis, USA, June 23-25 1980., pp. 618 - 625.
  - [10] DeMan, H.J., Newton A.R., "Hybrid Simulation", Proc. IEEE Int. Symp. on CAS, ISCAS'79, Tokyo, Japan, July 17-19 1979., pp. 249 - 259.
  - [11] Petković, P., "Makromodeliranje i makroanaliza CMOS LSI elektronskih kola", Doktorska disertacija, Univerzitet u Nišu, Elektronski fakultet, Niš, Jun 1990.
  - [12] Ruan, G., Vlach, J., Barby, J.A., Opal A., "Analog Function Simulation for Multilevel Systems", IEEE Trans. on CAD, Vol. 10., no. 5, may 1991., pp. 565 - 576
-